

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 5/14 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월02일 10-0575061 2006년04월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0017974 2004년03월17일	(65) 공개번호 (43) 공개일자	10-2005-0092864 2005년09월23일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	매그나칩 반도체 유한회사 충북 청주시 흥덕구 향정동 1
(72) 발명자	문병인 서울특별시광진구자양3동786자양6차현대아파트601동1709호
(74) 대리인	황의인 이정훈

심사관 : 이인용

(54) 전원 조정 회로

요약

본 발명은 전원 조정 회로에 관한 것으로서, 특히, SOC(System-On-Chip) 구조에서 주전원이 아닌 별도의 분리된 전원을 사용하는 회로의 라이트 동작 오류를 방지할 수 있도록 하는 기술을 개시한다. 이를 위해, 본 발명은 리셋 플립플롭부에 의해 입력되는 전원전압을 동기화 및 지연시켜 라이트 신호의 리셋 동작을 제어하고, 복수개의 플립플롭으로 이루어진 라이트 어드레스 플립플롭부, 라이트 데이터 플립플롭부 및 라이트 인에이블 플립플롭부의 마지막 출력단으로부터 출력되는 라이트 신호를 사용하여 라이트 회로부의 라이트 동작을 제어함으로써, 주전원이 온/오프 되는 과정에서 발생할 수 있는 라이트 신호의 바운싱으로 인한 분리된 전원의 라이트 동작 오류를 방지할 수 있도록 한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 전원 조정 회로의 구성도.

도 2는 본 발명에 따른 전원 조정 회로의 동작 타이밍도.

발명의 상세한 설명

발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전원 조정 회로에 관한 것으로서, 특히, SOC(System-On-Chip) 구조에서 주전원이 아닌 별도의 분리된 전원을 사용하는 회로의 라이트 동작 오류를 방지할 수 있도록 하는 기술이다.

근래에 들어 비 메모리 반도체의 설계 및 공정 기술이 발전함에 따라 SOC(System-On-Chip)로의 구현이 가능하게 되었다. 이에 따라, SOC에서 동일한 면적 내에 집적되는 회로의 양과 그 기능의 종류가 엄청나게 증가하게 되었다.

SOC와 같은 단일 칩 구조 내에서는 모든 회로가 동일한 전원을 사용하는 경우도 있지만 경우에 따라서는 각 회로마다 서로 분리된 전원을 사용하는 경우가 있다. 즉, 단일 칩의 주전원이 어댑터(adaptor) 전원이고, 분리된 전원을 사용하는 특정 회로의 전원이 배터리(Batter) 전원인 경우가 있다. 이러한 경우 주전원이 온/오프 되더라도 배터리로 구동되는 회로는 계속해서 동작해야만 한다.

예를 들어, RTC(Real Time Clock) 회로의 경우에는 시스템의 전원이 오프 되더라도 시간을 정확히 유지하기 위해서 현재의 동작 상태를 계속 유지해야만 한다. 이를 위해, SOC 내부에서 RTC 회로는 칩의 다른 회로 부분에서 사용되는 주전원과 별도로 분리된 전원을 사용한다.

그런데, 이러한 경우 칩의 주전원이 온/오프 되는 과정에서 전원전압(VCC) 및 내부적인 신호들이 크게 바운싱(Bouncing)할 수 있다. 즉, 주전원과 분리된 전원을 사용하는 회로에는 내부적인 레지스터들이 존재하고, 그 레지스터들에 대한 라이트 신호는 주전원을 사용하는 회로로부터(예를 들어, CPU 코어) 입력되는 경우가 대부분이다.

이에 따라, 주전원이 오프 되면 라이트 신호들이 플로팅(하이 임피던스) 상태가 된다. 그리고, 라이트 신호들이 플로팅 상태로 가기 이전에 상당 기간 바운싱을 하게 되는 과정에서 라이트 동작에 오류가 발생할 수 있게 된다.

이러한 라이트 신호들이 플로팅되는 상태를 방지하기 위해서 라이트 신호들의 네트(Net)에 버스 홀더(리피터)를 달아주는 방법이 있다. 하지만, 이 방법은 라이트 신호들이 플로팅 상태가 되는 것을 방지할 뿐 주전원의 온/오프 과정에서 근본적으로 발생하는 바운싱 동작을 막을 수는 없다. 결국, 주전원의 온/오프 과정에서 발생할 수 있는 라이트 동작의 오류를 방지하지 못하게 되는 문제점이 있다.

## 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 특히, SOC(System-On-Chip) 구조에서 주전원이 아닌 별도의 분리된 전원을 사용하는 회로의 라이트 동작 오류를 방지할 수 있도록 하는데 그 목적이 있다.

## 발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 전원 조정 회로는, 클럭에 동기하여 입력되는 전원전압을 지연하여 출력하는 리셋 플립플롭부; 리셋 플립플롭부의 출력을 논리연산하여 리셋신호를 출력하는 논리부; 클럭에 동기하여 라이트 동작을 제어하기 위한 라이트 신호들을 지연하여 출력하고, 리셋신호의 활성화시 라이트 신호들을 리셋시키는 라이트 신호 플립플롭부; 및 라이트 신호 플립플롭부의 출력에 따라 라이트 동작을 수행하는 라이트 회로부를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

도 1은 본 발명에 따른 전원 조정 회로의 구성도이다.

본 발명은 저항 R, 리셋 플립플롭부(10), 논리부(20), 라이트 어드레스 플립플롭부(30), 라이트 데이터 플립플롭부(40), 라이트 인에이블 플립플롭부(50) 및 라이트 회로부(60)를 구비한다.

여기서, 저항 R은 전원전압 VCC 인가단과 접지전압단 사이에 연결된다. 따라서, 주전원인 전원전압 VCC는 풀다운 저항 R을 통해 접지되어 있기 때문에 주전원 VCC이 온일 경우 하이 상태를 유지하며, 주전원이 오프일 경우에는 로우 상태가 된다.

리셋 플립플롭부(10)는 직렬 연결된 복수개의 플립플롭 FF1~FF4을 구비하고, 클럭 RCLK에 동기하여 입력되는 전원전압 VCC를 지연하여 로직부(20)에 출력한다.

논리부(20)는 복수개의 플립플롭 FF1~FF4의 출력을 앤드연산하여 리셋신호 RESET(액티브 로우)를 출력한다. 본 발명의 실시예에서 논리부(20)는 앤드게이트 AND로 이루어짐이 바람직하다.

라이트 어드레스 플립플롭부(30)는 직렬 연결된 복수개의 플립플롭 FF5~FF8을 구비하고, 클럭 RCLK에 동기하여 입력되는 라이트 어드레스 WA를 지연하여 라이트 회로부(60)에 출력한다.

라이트 데이터 플립플롭부(40)는 직렬 연결된 복수개의 플립플롭 FF9~FF12을 구비하고, 클럭 RCLK에 동기하여 입력되는 라이트 데이터 WD를 지연하여 라이트 회로부(60)에 출력한다.

라이트 인에이블 플립플롭부(50)는 직렬 연결된 복수개의 플립플롭 FF13~FF16을 구비하고, 클럭 RCLK에 동기하여 입력되는 라이트 인에이블 신호 WE를 지연하여 라이트 회로부(60)에 출력한다.

여기서, 라이트 어드레스 플립플롭부(30), 라이트 데이터 플립플롭부(40) 및 라이트 인에이블 플립플롭부(50)의 각각의 리셋단자 nR에는 논리부(20)의 출력인 리셋신호 RESET가 인가된다. 즉, 리셋 플립플롭(10)의 출력 중에서 적어도 어느 하나의 FF1~FF4의 출력이 "0"일 경우 리셋신호 RESET가 활성화된다. 이에 따라, 라이트 어드레스 플립플롭부(30), 라이트 데이터 플립플롭부(40) 및 라이트 인에이블 플립플롭부(50)의 각 플립플롭 FF들이 리셋된다.

그리고, 라이트 어드레스 플립플롭부(30), 라이트 데이터 플립플롭부(40) 및 라이트 인에이블 플립플롭부(50)에 구비된 플립플롭 FF의 갯수는 리셋 플립플롭부(10)에 구비된 플립플롭 FF의 갯수와 동일하다. 또한, 라이트 어드레스 WA, 라이트 데이터 WD 및 라이트 인에이블 신호 WE의 동기화 및 지연을 위한 플립플롭 FF의 갯수는 모두 동일해야만 한다.

여기서, 리셋 플립플롭부(10)에 구비되는 플립플롭 FF1~FF4의 갯수와, 라이트 어드레스 플립플롭부(30), 라이트 데이터 플립플롭부(40) 및 라이트 인에이블 플립플롭부(50)에 구비된 각각의 플립플롭 FF의 갯수는 클럭 RCLK의 주기 및 주전원 VCC의 온/오프시 발생할 수 있는 바운싱 구간을 고려하여 결정된다.

예를 들어, 클럭 RCLK의 주기가 길수록 플립플롭 FF의 단수를 작게 하고, 바운싱 구간이 길 경우 플립플롭 FF의 단수를 크게 해야 한다.

이러한 구성을 갖는 본 발명의 동작 과정을 설명하면 다음과 같다.

예를 들어, 라이트 인에이블 플립플롭부(50)의 마지막 단에 구비된 플립플롭 FF16의 출력인 라이트 인에이블 신호  $WE_{n-1}$ 에 해당하는 비트가 1인 경우를 가정한다. 이때, 라이트 인에이블 신호 WE가 라이트 인에이블 플립플롭부(50)의 첫 단에 구비된 플립플롭 FF13에 의해서 샘플링될 때 앤드게이트 AND의 출력이 1이 된다.

즉, 라이트 인에이블 신호 WE가 일련의 플립플롭 FF13에 의해 첫번째 샘플링되기 이전까지 전원전압 VCC는 안정적인 상태 즉 "1"인 상태였음을 나타낸다. 플립플롭 FF의 출력은 클럭 RCLK의 에지(Edge)에서만 그 값이 변하기 때문에 클럭 RCLK의 한 사이클 동안에는 안정적인 값을 유지한다.

그리고, 플립플롭 FF13에 의한 첫번째 샘플링 시점부터 플립플롭 FF16에 의한 마지막 샘플링이 이루어지는 시점까지 전원전압 VCC가 안정적인 상태 즉 "1"인 상태를 유지하고 있음을 알 수 있다.

이와 같이 라이트 인에이블 플립플롭부(50)의 마지막 단에 구비된 플립플롭 FF16의 출력인 라이트 인에이블 신호  $WE_{n-1}$ 가 "1"인 경우는 라이트 인에이블 신호 WE가 샘플링 되는 시점을 기준으로 했을 때 전후 일정 기간 동안 전원전압 VCC가 안정적으로 "1"의 상태를 유지한 경우이다.

따라서, 전원전압 VCC가 온/오프 되는 과정에서 발생하는 에러신호가 아님을 알 수 있다. 이에 따라, 라이트 회로부(60)는 라이트 인에이블 신호  $WE_{n-1}$ 에 따라 라이트 동작을 수행한다면 주전원의 온/오프 과정에서 발생할 수 있는 라이트 오류를 방지할 수 있게 된다.

도 2는 본 발명에 따른 전원 조정 회로의 동작 타이밍도이다.

먼저, 주전원인 전원전압 VCC의 파워 오프시 스윙(Swing)이 발생한다(A). 이때, 라이트 인에이블 신호 WE는 전원전압 VCC의 스윙으로 인해 글리치(Glitch)가 발생한다(C).

이에 따라, 리셋 플립플롭부(10)의 출력이 "0"이 되어 앤드게이트 AND는 리셋신호 RESET를 활성화시키게 된다. 따라서, 라이트 인에이블 플립플롭부(50)의 첫번째 플립플롭 FF13의 리셋단자 nR에 로직 "0"이 입력되어 전원전압 VCC의 로우 값 샘플링에 의해 플립플롭 FF13이 리셋된다(B).

그리고, 클럭 RCLK에 의해 라이트 인에이블 신호 WE의 글리치를 샘플링하여 (D)와 같은 펄스를 갖는 라이트 인에이블 신호 WE<sub>0</sub>가 발생된다.

또한, 플립플롭 FF14의 출력인 라이트 인에이블 신호 WE<sub>1</sub>는 리셋신호 RESET가 리셋단자 nR에 입력되어, 라이트 인에이블 신호 WE<sub>0</sub>의 샘플링에 의해 발생된 글리치를 리셋시킨다(E). 이에 따라, 플립플롭 FF15의 후단에 연결되는 라이트 인에이블 신호 WE<sub>2</sub>에는 라이트 인에이블 신호 WE의 글리치가 전달되지 않게 되어(F) 라이트 회로부(60)는 정상적인 라이트 동작을 수행할 수 있게 된다.

### 발명의 효과

이상에서 설명한 바와 같이, 본 발명은 단일 칩이 서로 분리된 전원을 사용하는 내부 회로들로 이루어지고, 특정 블록의 레지스터에 대한 라이트 신호들이 주전원과 다른 별도의 전원을 사용하는 회로로부터 입력되는 경우에 주전원의 온/오프에 따른 라이트 동작의 오류를 방지할 수 있도록 한다.

### (57) 청구의 범위

#### 청구항 1.

분리된 전원을 사용하는 클럭에 동기하여 입력되는 전원전압을 지연하여 출력하는 리셋 플립플롭부;

상기 리셋 플립플롭부의 출력을 논리연산하여 리셋신호를 출력하는 논리부;

상기 클럭에 동기하여 라이트 동작을 제어하기 위한 라이트 신호들을 지연하여 출력하고, 상기 리셋신호의 활성화시 상기 라이트 신호들을 리셋시키는 라이트 신호 플립플롭부; 및

상기 라이트 신호 플립플롭부의 출력에 따라 라이트 동작을 수행하는 라이트 회로부를 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 2.

제 1항에 있어서, 상기 전원전압의 인가단과 접지전압단 사이에 연결되어 상기 전원전압을 풀다운시키는 저항을 더 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 3.

제 1항에 있어서, 상기 리셋 플립플롭부는 상기 전원전압의 인가단과 상기 논리부 사이에 직렬 연결된 복수개의 제 1플립플롭을 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 4.

제 1항에 있어서, 상기 논리부는 앤드게이트를 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 5.

제 1항에 있어서, 상기 라이트 신호 플립플롭부는

상기 클럭에 동기하여 입력되는 라이트 어드레스를 지연하여 출력하는 라이트 어드레스 플립플롭부;

상기 클럭에 동기하여 입력되는 라이트 데이터를 지연하여 출력하는 라이트 데이터 플립플롭부; 및

상기 클럭에 동기하여 입력되는 라이트 인에이블 신호를 지연하여 출력하는 라이트 인에이블 플립플롭부를 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 6.

제 5항에 있어서, 상기 라이트 어드레스 플립플롭부는 상기 라이트 어드레스의 입력단과 상기 라이트 회로부 사이에 직렬 연결된 복수개의 제 2플립플롭을 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 7.

제 5항에 있어서, 상기 라이트 데이터 플립플롭부는 상기 라이트 데이터의 입력단과 상기 라이트 회로부 사이에 직렬 연결된 복수개의 제 3플립플롭을 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 8.

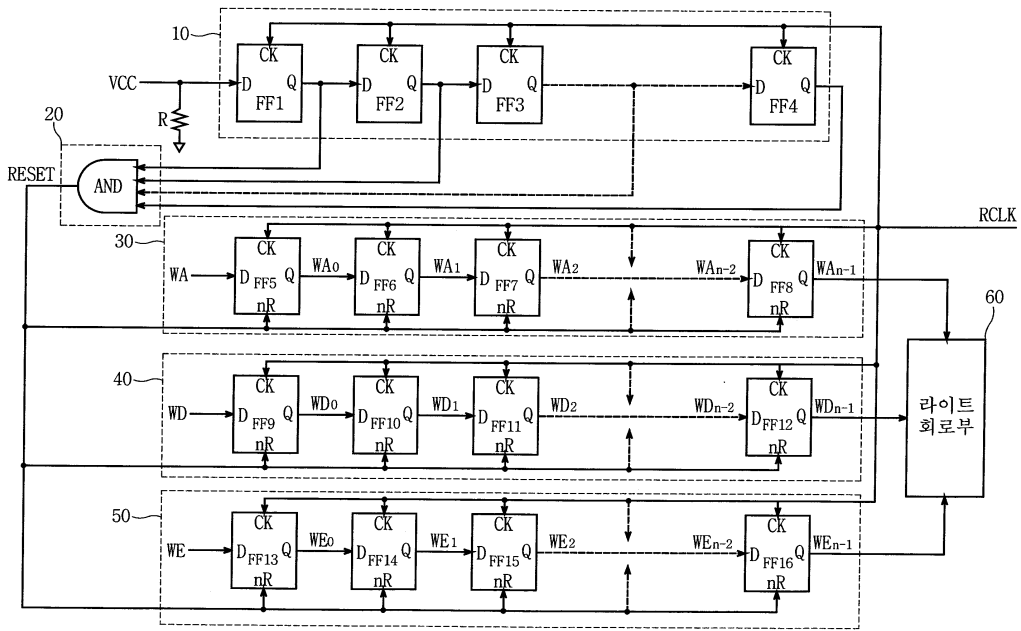
제 5항에 있어서, 상기 라이트 인에이블 플립플롭부는 상기 라이트 인에이블 신호의 입력단과 상기 라이트 회로부 사이에 직렬 연결된 복수개의 제 4플립플롭을 구비함을 특징으로 하는 전원 조정 회로.

#### 청구항 9.

제 5항에 있어서, 상기 라이트 어드레스 플립플롭부, 상기 라이트 데이터 플립플롭부 및 상기 라이트 인에이블 플립플롭부의 플립플롭 갯수는 모두 동일함을 특징으로 하는 전원 조정 회로.

도면

도면1



도면2

